DDR Layout Guide

SDRAM, DDR, DDR2, DDR3 是 RAM 技术发展的不同阶段，对于嵌入式系统来说，SDRAM 常用在低端，对速率要求不高的场合，而在 DDR/DDR2/DDR3 中，目前基本上已经以 DDR2 为主导，相信不久 DDR3 将全面取代 DDR2，关于 DDR，DDR2，DDR3，其原理这里不多介绍，其典型差别就是在内部逻辑的"预存取"技术有所差别，但是从外部接口之间的速率来看，他们基本类似，就是 clock，strobe，data，address，control，command 等，无论是 DDR/DDR2/DDR3，他们的 clock 与 data 的理论频率是一致的，及 clock=266MHz，则对应的 data=266MHzMHz(这里可能有人反对，觉得 data 应该等于 533MHz，其实它我们常说的 533MHz 的 Bit Rate，这里要注意一个周期是由'0'与'1'组成的，我们在 SI 仿真时要注意了。)

DDR/DDR2/DDR3 的 Layout Guidelines 通常具有下面的格式(只显示一部分，并且里面的参数参数参考)

Table 1: General constraits for Signal Group

Index	Signal Group	Net Name	Trace Width	Space within internal Group	Space with other group	Max Trace Length	Trace Length Matching	Single Impendance	Differential Impendance	Reference Plane	Description
1	DDR2_CLK_0	CLK0	5	8	10	2500	+/- 5	N/A	100 +/-10%	GND	This is the de
		CLK0#	5	8	10	2500		N/A	100 +/-10%	GND	
2	DDR2_CLK_1	CLK1	5	8	10	2500	+/- 5	N/A	100 +/-10%	GND	This is the de
		CLK1#	5	8	10	2500		N/A	100 +/-10%	GND	
3	DataLane_0	D0~D7	5	5	8	2500	+/- 20	50 +/-10%	N/A	GND/PWR	N/A
		DM0	5	5	8	2500		50 +/-10%	N/A	GND/PWR	N/A
		DQS0	5	8	8	2500		N/A	100 +/-10%	GND	This is the de
		DQS0#	5	8	8	2500		N/A	100 +/-10%	GND	
4	DataStrobe_0	DQS0	5	8	10	2500	+/- 5	N/A	100 +/-10%	GND	This is the de
		DQS0#	5	8	10	2500		N/A	100 +/-10%	GND	
5	DataLane_1	D8~D15	5	5	8	2500	+/- 20	50 +/-10%	N/A	GND/PWR	N/A
		DM1	5	5	8	2500		50 +/-10%	N/A	GND/PWR	N/A
		DQS1	5	8	8	2500		N/A	100 +/-10%	GND	This is the de
		DQS1#	5	8	8	2500		N/A	100 +/-10%	GND	
6	DataStrobe_1	DQS1	5	8	10	2500	+/- 5	N/A	100 +/-10%	GND	This is the de
		DQS1#	5	8	10	2500		N/A	100 +/-10%	GND	

Table 2: Length Matching between one Signal Group and the other Signal Group

Index	Signal Group 1	Signal Group 2	Length Matching Between Groups	Remark
1	DDR2_CLK_0	DataLane_0	+/- 400	N/A
2	DDR2_CLK_0	DataLane_1	+/- 400	N/A
3	DDR2_CLK_0	DataLane_2	+/- 400	N/A
4	DDR2_CLK_0	DataLane_3	+/- 400	N/A
5	DDR2_CLK_0	Addr	+/- 200	N/A
6	DDR2_CLK_0	Command	+/- 200	N/A

本文结合 Micron 与 Freescale 的 DesignGuidelines，详细介绍 DDR2 的 layout 方面需要注意的问题，从总体来看，就可以归纳为上面那张图所表现的形式。本文中关于 lql-xxx 为个人文章编号，无实际意义。另外，读者可以参阅本站的另外一篇文章 DDR2 design checklist。

1. Micro 建议

VSS 为数字地，VSSQ 为信号地，若无特别说明，两者是等效的。VDD 为器件内核供电，VDDDQ 为器件的 DQ 和 I/O 供电，若无特别说明，两者是等效的。本文内容可以和 *lql-003-DDR Designer Check list.doc* 配合使用，作为 DDR 设计原则指导资料。

对于 DDR 来说，定义信号组如下：

l 数字信号组 DQ，DQS，DM，其中每个字节又是内部的一个信道 Lane 组，如 DQ0~DQ7，DQS0， DM0 为一个信号组。

l 地址信号组：ADDRESS

l 命令信号组：CAS#，RAS#，WE#

l 控制信号组：CS#，CKE

l 时钟信号组：CK，CK#

1.1 印制电路板 PCB Stackups

推荐使用 6 层电路板，分布如下：

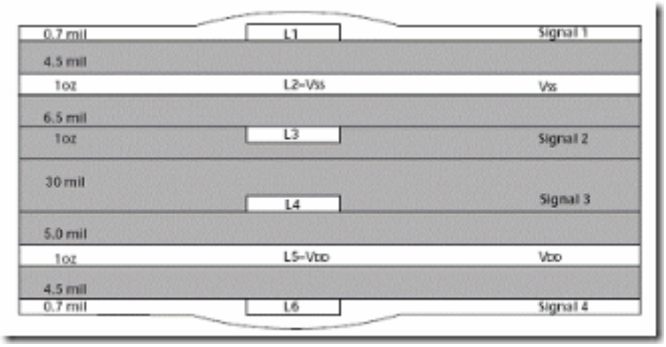


图 1

l 电路板的阻抗控制在 50~60ohm

l 印制电路板的厚度选择为 1.57mm(62mil)。

l 填充材料 Prepreg 厚度可变化范围是 4~6mil。

1 电路板的填充材料的介电常数一般变化范围是 3.6~4.5，它的数值随着频率，温度等因素变化。FR-4 就是一种典型的介电材料，在 100MHz 时的平均介电常数为 4.2。推荐使用 FR-4 作为 PCB 的填充材料，因为它便宜，更低的吸湿性能，更低的电导性。

一般来说，DQ，DQS 和时钟信号线选择 VSS 作为参考平面，因为 VSS 比较稳定，不易受到干扰，地址/命令/控制信号线选择 VDD 作为参考平面，因为这些信号线本身就含有噪声。

1.2 电路板的可扩展性

根据 JEDEC 标准，不同容量的内存芯片一般引脚兼容，为了实现电路板的可扩展性，如 128Mb 与 256Mb 的兼容应用，只要它们是 Pin to Pin，在设计时就可以实现两种 Memrory 的兼容性。

未用的 DQ 引脚：

对于 x16 的 DDR 器件来说，未用的引脚要作一定的处理。例如 x16 的 DDR 来说，DQ15：DQ8 未用，则处理如下，将相关的 UDM/DQMH 拉高用来屏蔽 DQ 线，DQ15：DQ8 通过 1~10k 的电阻接地用来阻止迸发写时的噪声。

1.3 端接技术

串行端接，主要应用在负载 DDR 器件不大于 4 个的情况下。

1 对于双向 I/O 信号来说，例如 DQ，串行端接电阻 Rs 放置在走线的中间，用来抑制振铃，过冲和下冲。

1 对于单向的信号来说，例如地址线，控制线，串行端接电阻放置在走线中间或者是信号的发送端，推荐放置在信号的发送端。

1 端接电阻值的取值范围如下图：

Memory Type	Resistor	Location	Range	Units
SDRAM	CLK	midpoint	22–36	Ω
DDR	CK, CK#	midpoint[1]	–	Ω
DDR and SDRAM	DQ/DQS[2], address, command/ control		10–33	Ω

图 3

说明：DDR 的 CK 与 CK# 是差分信号，要用差分端接技术。

并行端接，主要应用在负载 SDRAM 器件大于 4 个，走线长度>2inch，或者通过仿真验证需要并行端接的情况下。

1 并行端接电阻 Rt 取值大约为 2Rs，Rs 的取值范围是 10~33ohm，故 Rt 的取值范围为 22~66ohm。

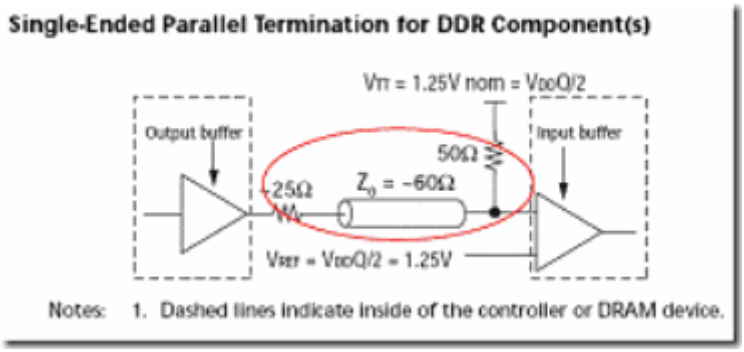


图 4

如果有必要的话，所有 DDR 的数据，地址，命令，控制线都是 SSTL_2 接口，DDR2 的数据，地址，命令，控制线都是 SSTL_18 接口，要使用 single-ended Parallel Termination，如上图。CKE 也可以使用这种端接。

1.4 导线宽度和间距

导线间距和导线宽度 S1，S2，S3 的定义如下：

l S1 表示同一信号组内两相邻导线之间的间距

l S2 表示不同信号组之间两相邻导线之间的间距

l S3 表示导线的宽度

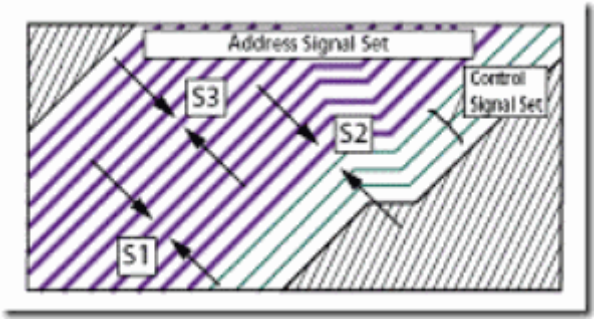


图 5

导线宽度选择为：

Recommended S3 for functional signal sets:
- DQ lines = 4 mil minimum, 6 mil nominal
- DQS lines = 4 mil minimum, 6 mil nominal
- Address lines = 4 mil minimum, 6 mil nominal
- Command/control lines = 4 mil minimum, 6 mil nominal
- Clock lines = 4 mil minimum, 6–10 mil nominal

图 6

导线间距选择：

Signal Set	Signals	Spacing Type	Min	Nom	Max	Unit	Notes
Data/Data strobe	DQ to DQ	S1	8	12	-	mil	
	DQ to DQS	S2	8	12	-	mil	
	DQS in byte lane #1 to DQS in byte lane #2	S1	-	-	-	mil	1
	DQ and DM	S2	8	12	-	mil	
Address	Adjacent address lines	S1	6	12	-	mil	
	Address lines	S2	6	12	-	mil	
Command/Control	CAS#, RAS#, WE#, CS#, CKE	S1	6	15	-	mil	
Clock	CK#-to-CK	S1	4	-	6	mil	
	CK# (or CK in group of two) to DQS line	S2	-	-	-	mil	2
	Differential pair (CK, CK#) to any other signal	S2	8	12	-	mil	

图 7

说明：1，DQS 一般布线的位置是数据信号组内同一信号组中 DQ 走线的中间，因此 DQS 与 DQS 之间的间距一般不提。

2，DQS 与时钟信号线不相邻。

3，为了避免串扰，数据信号组与地址/命令/控制信号组之间的走线间距至少 20mil，建议它们在不同的信号层走线。

4，时钟信号组走线尽量在内层，用来抑制 EMI。

1.5 导线走线长度

所有 DDR 的差分时钟线 CK 与 CK#必须在同一层布线，误差+-20mil(+-10mil 最好)，最好在内层布线以抑制 EMI。如果系统有多个 DDR 器件的话，要用阻值 100~200ohm 的电阻进行差分端接。

(1) 若时钟线的分叉点到 DDR 器件的走线长度<1000mil，要使用 100~120ohm 的差分端接，如下图：

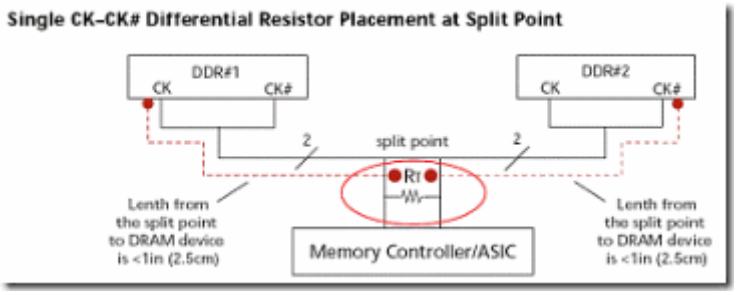


图 8

(2) 若时钟线的分叉点到 DDR 器件的走线长度>1000mil，要使用 200~240ohm 的电阻差分端接，因为两个 200~240ohm 的电阻并联值正好为 100~120ohm。如下图所示。

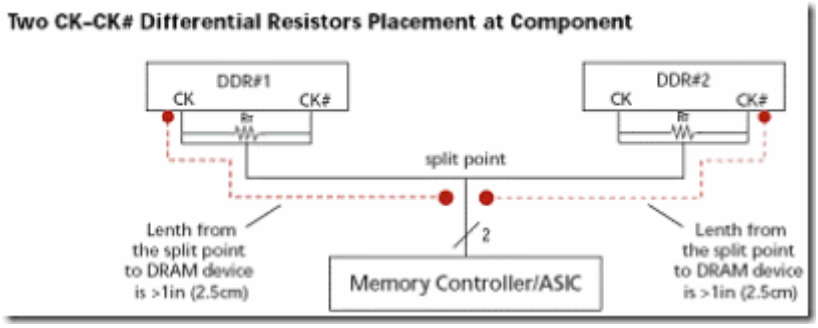


图 9

数据信号组的走线长度与时钟信号线的误差为+-500mil，组内同一信道的信号线走线误差为+-50mil(+-25mil)最好，从而可以得到，组内不同信道的走线误差为+-1000mil，相同信道的 DQS 一般走线在 DQ 中间。

地址线/命令/控制信号线与时钟信号走线的误差为+-400mil，组内走线误差为+-50mil

所有信号的走线长度控制在 2inch(5cm)最好。

1.6 解耦电容

推荐使用低 ESL(2nH)的电容，大小在 0.01uF~0.22uF，其中 0.01uF 针对高频，0.22uF 针对低频。

建议使用钽电容。相对于电解电容来说，虽然它比较贵，但它具有较好的稳定性，较长的使用周期。一般电解电容随着使用时间的加长，性能下降较多。

1.7 DDR 的 VREF

Micron recommends:

- Route VREF at least 2cm away from other signals to minimize coupling.
- Design traces as short and wide as possible between the voltage source and VREF.
- Place a single low-inductance (0.1µF) bypass capacitor as close to the device VREF pin as possible.

1.8 VREF Generator

对于较轻的负载(<4DDR 器件)，可使用下图的方法：

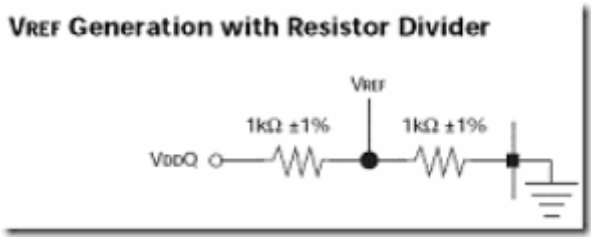


图 11

对于较重的负载(>4 DDR 器件)，可使用 IC 来产生 VREF。IC 内部集成了两种电压 VTT 和 VREF,其中 VTT 在重负载的情况下最高电流可达 3.5A，平均电流为 0A，VREF 的电流比较小，一般只有 3mA 左右。

Appropriate DDR termination regulator vendors offering products with V_{TT}, V_{REF}, V_{DDQ}, and V_{DD} outputs include:

- Fairchild—ML6554 and FAN1655
- Linear Technology—LTC3413 and LTC3831
- National Semiconductor—LP2995 and LP2996
- Phillips—NE57810 and NE47814

图 12

1.9 VREF 走线设计

Micron recommends the following:

- Route V_{REF} with a 20–25 mil minimum trace to reduce inductance
- Maintain at least a 15–25 mil clearance from V_{REF} to other adjacent traces
- Place a 0. 1µF capacitor between V_{REF} and V_{DDQ}
- Place a 0.1µF capacitor between V_{REF} and V_{SSQ}
- Decouple at each device or connector to minimize noise at each component

图 13

具体如下图所示：

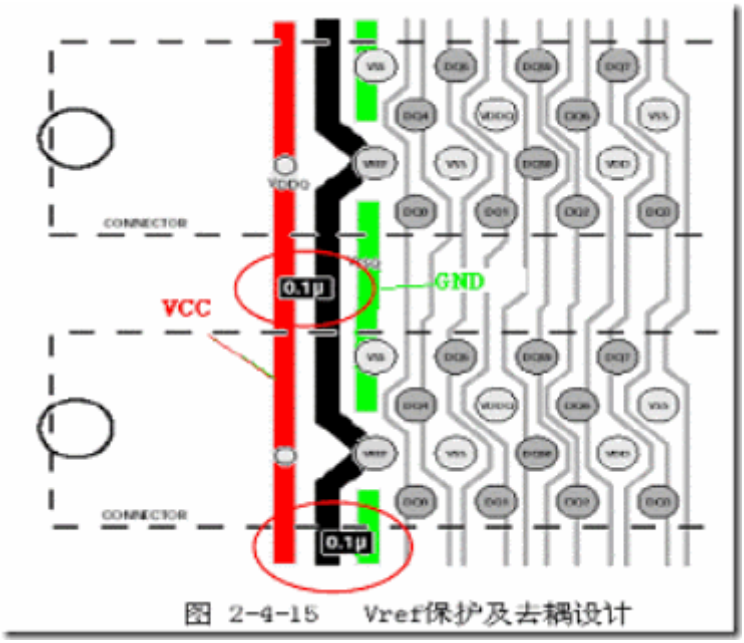


图 14

1.10 DDR/DDR2 的 VTT 设计

当数据线地址线负载较重时,VTT 的暂态电流峰值可达到 3.5A 左右，这种暂态电流的平均值为 0A。一些情况下不需要 VTT 技术(并行端接)：

1 系统中有 2 个或更少的 DDR

1 总线上需要的电流不是很高，中等左右

1 通过仿真验证不需要

VTT 电压的产生一般用 IC，vendor 包括

Intersil, Philips Semiconductors, California Micro Devices, Fairchild, Champion Micro-electronics, National, and Texas Instruments.

如果选用了 IC Regulator，推荐使用下面的原则：

l VTT 用 Rt 端接地址/控制/命令信号线，端接数据信号组 VTT=VDDQ/2

l VTT 并不端接时钟信号线，时钟信号线使用前面说的差分端接技术

l VTT 与 VREF 走线/平面在同一层，必须具有 150mil 的距离，推荐它们在不同层

l VTT 走线/平面需要至少 2 个 4~7uF 的解耦电容，2 个 100uF 的电容。具体放置位置是 VTT 的两个端点（at each end）

l VTT 表面走线宽度至少 150mil，推荐 250mil

l 上电时序：VTT 开始上电必须在 VDDQ 之后，避免器件 latch-up，推荐 VTT 和 VREF 同时上电。

l 如果走线要分支的话，建议使用 T 型分支。具体见下图。

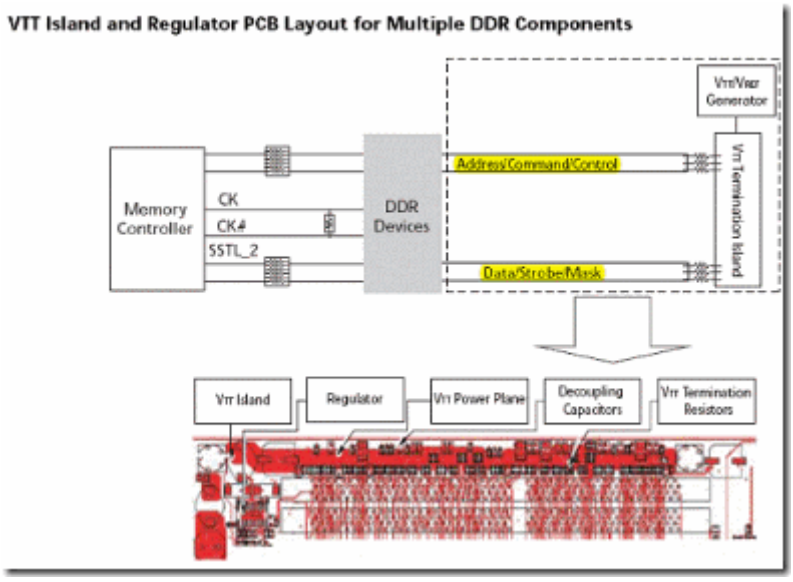


图 15

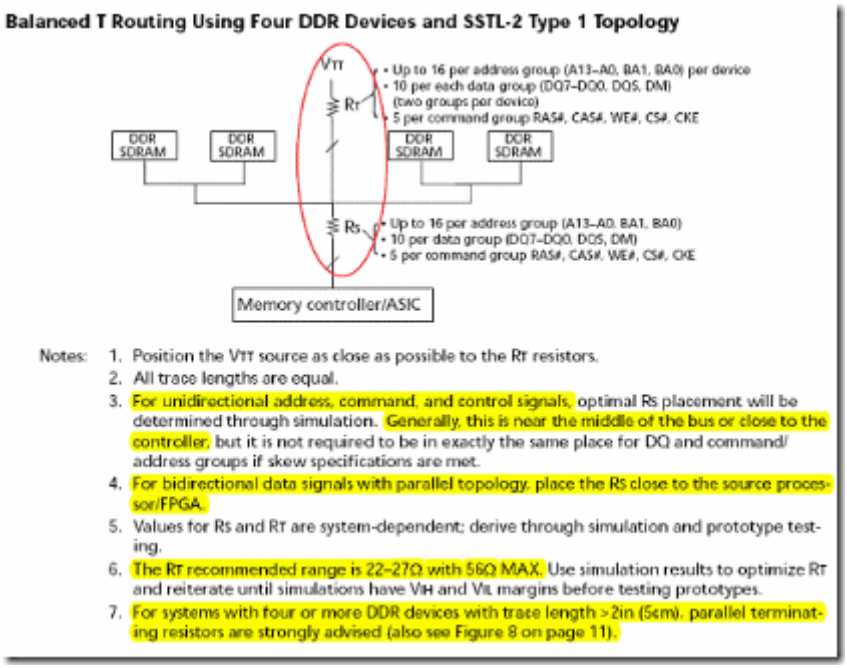


图 16

以上部分主要是参考资料 *tn4614-Hardware Tips for Point-to-Point System Design Termination_Layout and Routing.pdf*

2. Freescale 建议

2.1 关于 Signal Length Matching

信号长度匹配是关于时序特性的一个关键因素，DDR 系统中的长度匹配要求如下图。

Signal Group	Minimum Length	Maximum Length
Data lane to data strobe	Strobe length minus 25 mils	Strobe length plus 25 mils
Data lane to data lane	No more than 1 inch delta among all data lane groups	
Data strobe to clock	See Section 10.3.1, "Meeting the 75%–125% Write Data JEDEC Window"	See Section 10.3.1, "Meeting the 75%–125% Write Data JEDEC Window"
Address/command/ control to clock	Should be determined through simulation.	Should be determined through simulation.

在该图中，Data strobe to clock 和 Address/command/control to clock 的长度匹配没有给出确切的数值，在设计者无法仿真的情况下，具体数值可以参考本文在上面的描述。

2.2 关于 Clock Signal Group

具体的 Layout Guide 如下图，可以一目了然。

Item	Recommendation	Comment
Reference plane	Ground-referenced	Maintain a solid ground reference (no splits and so on) for all routed clocks, thereby providing a low-impedance path for the return currents.
Same layer routing	Route all clock pairs on the same critical layer. Avoid switching between layers except where required. See Figure 5 and Figure 6.	Ensures all clocks have the same signal integrity. Swap clock pairs as needed so that signal routing is optimized between the controller and the memory.
Characteristic impedance	= 50–60 Ω single-ended = 100–120 Ω differential	All pairs must be routed differentially from the DDR controller to the end point (DIMM or discrete).
Trace width	Implementation-specific	—
Differential spacing	Implementation-specific	Correct differential spacing must be maintained throughout entire signal route. See Figure 4.
Pair-to-pair spacing	20 mils	Exceptions may be needed at device breakout
Group spacing (clocks to all other signals)	20 mils to any other signal	See Figure 4. Exceptions may be needed at device breakout.
Serpentine isolation spacing	Maintain at least 20 mils	See Figure 4
MCK to $\overline{MCK}$ trace matching	Matched to within 20 mils	—
Clock pair-to-clock pair matching	All clock pairs to a given memory bank (DIMM or discrete) matched to within 20 mils	—
Series damping resistor value	Range 15–33	Optimal value and location system dependent and should be determined by simulations. For point-to-point connections, placement is optimal at the source. For point-to-multipoint, placement at the loads (DIMM connector or discrete bank) may prove optimal.
Optional–parallel termination to V_{TT} [1]	25–57 Ω ± 1%	Considered to be an optional item based on internal simulation runs and application notes published by Micron (see Section 14, "Useful References").
Use of resistor networks for damping resistor	Not recommended	—

Item	Recommendation	Comment
Differential termination	100–120 Ω	Required only for discrete implementations. DIMM modules provide the differential termination.

图 18

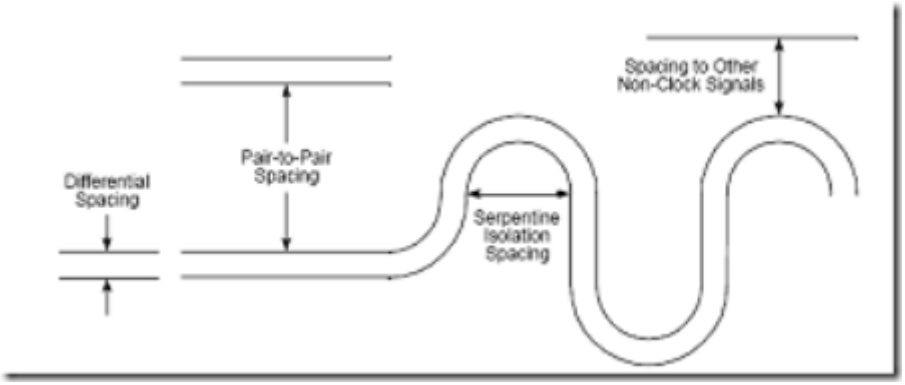


图 19

关于时钟信号的 layout Guide，参见如 18。在图 18 中，参数 clock pair to clock pair matching 意义在于系统有多个差分时钟，而且彼此来自于同一个时钟源，每一对差分时钟连接在不同的 DDR 器件上。同时需要注意的是，Series damping resistor 的摆放位置(图 18 中黄色阴影部分)。为了更好的理解图 18 的一些参数，可以参考图 19 的示意图，这在实际的 layout 中长度匹配中常见，即使用蛇形走线来满足长度匹配，注意蛇形走线只起到长度匹配的作用，除此之外，蛇形走线没有任何好处，并且他在一定程度上影响信号质量和 EMC。时钟差分线建议在同一层布线，参考 GND。

2.3 关于 data 信号线 Data—MDQ, MDQS, MDM

DDR 系统中，关于 data 信号的分组，这里不再介绍。Layout Guide 见图 20。

Item	Recommendation	Comment
Topology	Daisy chain	
Reference plane	Ground-referenced	Maintain a solid ground reference (no splits and so on) for all routed clocks, thereby providing a low-impedance path for the return currents.
Characteristic impedance [1]	50–60 Ω	—
Trace width	Implementation-specific	—
DQS spacing	4 W minimum	—
Group spacing	20 mils of isolation from other non-DDR related signals	—
Series resistor [1]	0–33 Ω ± 5%	—
Termination resistor [1]	25–57 Ω ± 5%	—
Length matching within the byte lane	±25 mils from the data strobe	Allows max interface speeds. See Section 7.2.2, "Data Group Matching Requirements"
Length matching byte lane to byte lane [2]	No more than 1 inch delta between all groups	See also Section 10.3.1, "Meeting the 75%–125% Write Data JEDEC Window"
Length matching DQS to clock	See Section 10.3.1, "Meeting the 75%–125% Write Data JEDEC Window"	See Section 10.3.1, "Meeting the 75%–125% Write Data JEDEC Window"
Resistor packs	Use as needed	Do not place the data group in the same RNs as the other DDR signal groups.

图 20

由图 20 可知，DQS 的信号频率在正常工作时，和时钟频率是一致的，因此，DQS 和其他的非 data Group 的信号 spacing 要满足 4W 规则。

2.4 关于 Address and Command Layout Recommendations

在图 21 中，有一个限制，就是 Addr/cmd 信号和时钟信号的长度匹配，因为 Addr/Cmd 信号是在时钟的信号沿进行采样，因此他们之间的长度匹配对时序的影响比较重要，从图 21 中可以看出，Addr/cmd 信号线的长度比时钟线短(两者之间相差容许长度 Y，这个参数需要仿真验证)，即信号先到达接收端，时钟后到达接收端，但是 Micron 推荐两者的误差在+-400mil，因此综合 Freescale 和 Micron 的观点，笔者认

为+-400mil 是比较常见的限制条件，如果条件允许的话，仿真也是需要验证的(其实就是废话，呵呵)。

Item	Recommendation	Comment
Reference plane	Ground-referenced or power-referenced	Maintain a solid ground reference or power reference (no splits, and so on) for the entire signal group to provide a low-impedance path for the return currents
Characteristic impedance [1]	= 50 – 60 Ω	—
Trace width	Implementation-specific	—
Group spacing	20 mils	Isolation from control group to other non-DDR signals
Length matching (with respect to clock)	Min <= Addr/Cmd Group <= Max	—
Minimum Addr/Cmd group length [2]	Max clock length – 'Y'	—
Maximum Addr/Cmd group length [2]	Minimum clock length – 'Y' inches	—
Series resistor [1]	0–33 Ω ± 5%	—
Termination resistor [1]	25–57 Ω ± 5%	—
Resistor packs	Use as needed	Do not place the addr/cmd group in the same RN as the data group

[1] Values denoted in the table provide a starting place for the designer and are not intended to be the only acceptable values. For example, it may be possible for certain topologies to eliminate R_S and/or to modify the characteristic impedance below 50 Ω to match the actual loaded impedance of the system more optimally.

[2] The parameter 'Y' is the timing variance around the clock edge that can be tolerated for a specific memory implementation and still ensure that setup and hold times can be satisfied. Because loading, clock frequency and signal integrity of the specific memory implementation greatly influence the 'Y' parameter, it is important that the value of 'Y' is determined by simulation.

图 21

2.5 关于 Control Signal Group

因为 control 信号也是在时钟的信号沿进行采样，因此他们之间的长度匹配对时序的影响也比较重要，从图 22 中可以看出，control 信号线的 layout 策略可以和 Addr/cmd 信号的布线策略一致。

Item	Recommendation	Comment
Reference plane	Ground-referenced or power-referenced	Maintain a solid ground reference or power reference (no splits and so on.) for the entire signal group thereby providing a low-impedance path for the return currents
Characteristic impedance [1]	= 50–60 Ω	—
Trace width	Implementation-specific	—
Group spacing	20 mils	Isolation from control group to other non-DDR signals
Length matching (with respect to clock)	Min <= control group <= Max	—
Minimum control group length [2]	Max clock length—'Z'	—
Maximum control group length [2]	Minimum clock length—'Z' inches	—
Series resistor [1]	0–33 Ω ± 5%	—
Termination resistor [1]	25–57 Ω ± 5%	—
Resistor packs	Use as needed	Do not place the control signals in the same RN as the data group

[1] Values denoted in the table provide a starting place for the designer and are not intended to be the only acceptable values. For example, it may be possible for certain topologies to eliminate R_S and/or to modify the characteristic impedance below 50 Ω to match the actual loaded impedance of the system more optimally.

[2] The parameter 'Z' is the timing variance around the clock edge that can be tolerated for a specific memory implementation and still ensure that setup and hold times can be satisfied. Because the loading, clock frequency and signal integrity of the specific memory implementation greatly influence the 'Z' parameter, it is important that the value of 'Z' is determined by simulation.

图 22

2.6 关于 DDR Power Delivery

DDR1 需要 2.5V(2.6V for DDR400)的电源，1.25V 的 Vref，1.25V 的 Vtt。DDR2 需要 1.8V 的电源，0.9V 的 Vref，0.9V 的 Vtt。下图就是在实际一个系统中对 DDR 的 power 要求：

	Parameter	Min	Typical	Max	Unit
V_{DD}	Device supply voltage	2.3	2.5	2.7	V
V_{REF}(DC)	Input reference voltage	1.13	1.25	1.38	V
V_{TT}	Termination voltage	V_{REF} – 0.04	V_{REF}	V_{REF} + 0.04	V
I_{REF}	V_{REF} current	—	—	0.003	A
I_{TT}	V_{TT} supply current [1]	—	—	2.3–3.2	A

[1] Maximum current rating based on specific termination and values used for a specific topology. For this case $R_S = R_T = 25\ \Omega$. Calculated under maximum signal loading (all DDR signals drawing current from V_{TT} plane).

图 23

在图 23 中,Itt 这个参数要根据具体的情况(如端接的信号线数量，Rtt 的取值等)而确定，图中所示数据仅作参考。

2.7 关于 DDR VREF Voltage

Vref 需求的电流是相当小的，小于 3mA，但是 Noise or deviation in the VREF voltage 会引起时序误差，jitter 以及一些不确定的行为。因此有必要使 Vref 的 AC Noise 保持在+-25mV 以内。建议 Vref 和 Vtt 不要在同一层走线，如不可避免，要保证充足的间距，建议 150mil。Vref 的产生电路最简单的就是利用分压电阻，如图 24 所示：

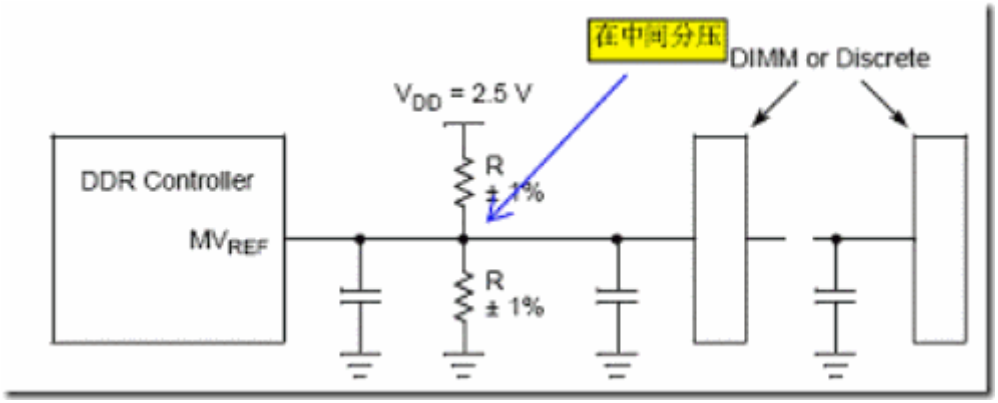


图 24

这部分的 Layout Guide 如图 25 所示：

Item	Recommendation	Comment
V_{REF} generation	Use resistor divider network or an off-the-shelf DDR regulator that generates V_{REF}.	Ensures that V_{REF} tracks the midpoint of the voltage swing.
V_{REF} decoupling	Use distributed and balanced decoupling. Specifically, decouple the source and each destination pin using 0.1 or 0.01 bypass caps.	Localizes transient currents and returns. If single IC is used to generate V_{TT} and V_{REF}, add additional decoupling according to the manufacturer's recommendation.
V_{REF} Isolation	Keep a 20–25 mil clearance between V_{REF} and other traces.	If possible, isolate the V_{REF} track as much with adjacent ground trace segments.
V_{REF} trace width	Route V_{REF} with as wide a trace as possible, for example, a minimum of 20–25 mil where feasible.	—
V_{REF} divider resistors (if used)	Ensure the use of 1% resistors. Suggested range 50–150 Ω.	Both resistors must be the same value.

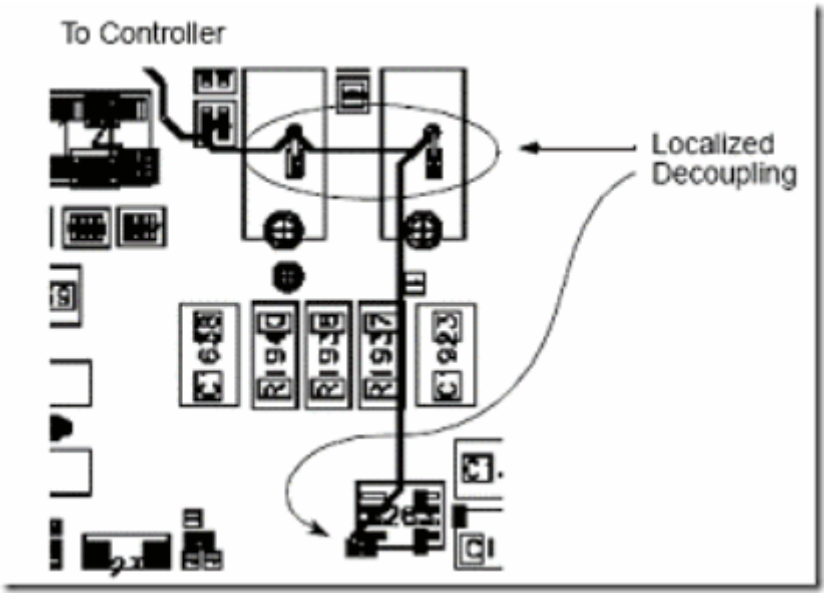


图 25

2.8 关于 DDR VTT Voltage Rail

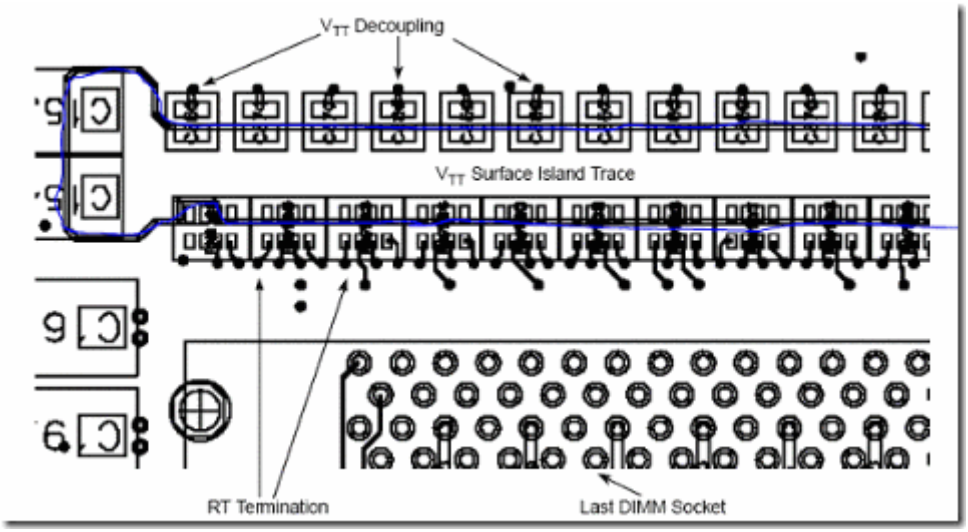
DDR 的 VTT 电流需求是很大的，平均电流为 0A(理想化的)，峰值电流可以达到 3.5A，一般都在 2A~3.5A，如一个端接了 115 个信号线的电流达到了 2.7A。具体计算方法可以参阅 *1q1-003* 和 *Reference-0005*。VTT 如果在表层走线至少 150mil 的宽度，Vtt 的电容数量，电容值的大小，端接电阻的摆放等规则参见图 26。

Item	Recommendation	Comment
V_{TT} island placement	Place at end of memory channel. Keep as close to the last DIMM or discrete memory bank as possible (that is, <1 inch).	—
V_{TT} island track width	Utilize a wide surface island trace of at least 150 mils	—

Item	Recommendation	Comment
V_{TT}high frequency decoupling	• At least one low ESL cap, or two standard decoupling caps for each 4-pin resistor network used. • At least two additional decoupling caps (4.7 µF) at each end of the V_{TT} island.	Bypass caps should be evenly spread throughout the V_{TT} island, ensuring that all termination resistors are close to a high-speed capacitor. Based on calculations derived from Micron's DesignLine publication, Vol 9, Issue 3, 3Q00, article entitled *Decoupling Capacitor Calculation for a DDR Memory Channel*.
V_{TT} low frequency decoupling	Place a bulk cap (100–220 µF) capacitor at each end of the island.	—
V_{TT} regulator placement	If placement permits, place the V_{TT} generation in the middle of the island or as close to one end of the island as possible.	—
Sense pin for V_{TT} regulator (if available)	Attach in the middle of the island	—
Other decoupling	Ensure sufficient high-speed decoupling and bulk decoupling is provided at the output of the 1.25-V regulator to ensure high stability and responsiveness of the solution.	Vendor-specific. Consult the specific vendor data sheets.
Termination resistor and decoupling placement	Place on the top layer and directly connect V_{TT} island	—

图 26

关于 Rtt 以及滤波电容的摆放位置，可以参考图 27，也可以参考实际的电脑主板内存插槽部分的摆放。图 27 中蓝色线围起来的部分就是一块 Vtt 的 shape。


V_{TT} Decoupling
V_{TT} Surface Island Trace
RT Termination
Last DIMM Socket